



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09097883 A**(43) Date of publication of application: **08.04.97**

(51) Int. Cl. **H01L 27/108**
H01L 21/8242
H01L 27/04
H01L 21/822

(21) Application number: **07276782**(22) Date of filing: **29.09.95**(71) Applicant: **SONY CORP**

(72) Inventor: **YAMOTO HISAYOSHI**
OCHIAI AKIHIKO

(54) **CAPACITOR STRUCTURE OF SEMICONDUCTOR
 MEMORY ELEMENT AND MANUFACTURE
 THEREOF**

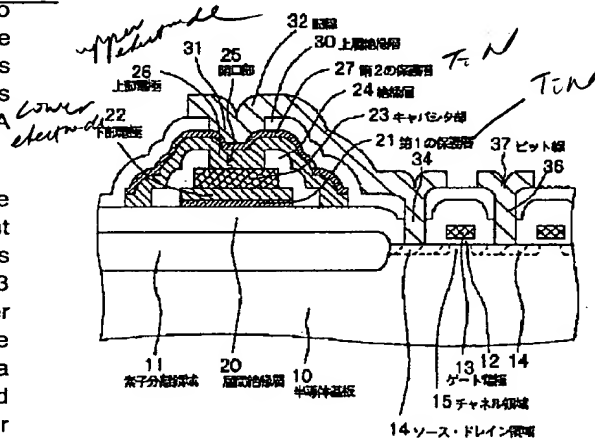
metal nitride (TiN) layer. Said Ti layer is the lower layer and the TiN layer is the upper layer.

COPYRIGHT: (C)1997,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To suppress the intrusion of hydrogen and moisture into a capacitor structure, and to enhance long-term reliability by a method wherein the capacitor structure of a semiconductor memory element is surrounded by the first and the second protective layers consisting of the material such as a 4A group and a 5A transition metal etc.

SOLUTION: A capacitor structure is formed on the interlayer insulating film 20 located on the element isolation region 11. Said capacitor structure is composed of a lower electrode 22, a capacitor part 23 consisting of ferroelectric thin film, and an upper electrode 26. Said lower electrode 22 is formed on the interlayer insulating layer 20 corresponding to a substrate. The first protective layer 21 is formed between the interlayer insulating layer 20 and the lower electrode 22. On the other hand, the second protective layer 27 is formed on the upper electrode 26. The first protective layer 21 and the second protective layer 27 have the two-layer structure composed of a 4A group transition metal (Ti) layer and a 4A group transition



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-97883

(43) 公開日 平成9年(1997)4月8日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/108
21/8242
27/04
21/822

H 0 1 L 27/10
27/04

6 5 1
C

審査請求 未請求 請求項の数7 F D (全 16 頁)

(21) 出願番号 特願平7-276782

(22) 出願日 平成7年(1995)9月29日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 矢元 久良

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 落合 昭彦

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 弁理士 山本 孝久

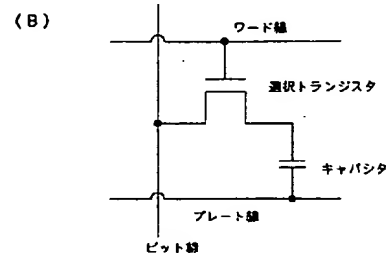
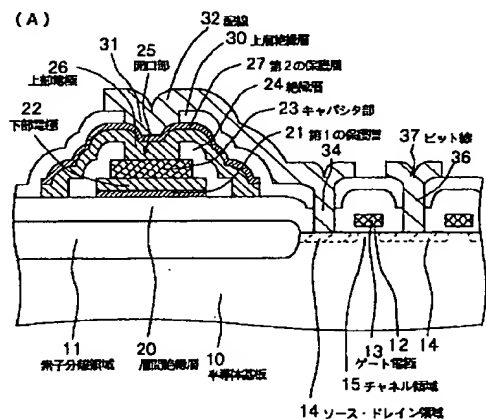
(54) 【発明の名称】 半導体メモリ素子のキャパシタ構造及びその形成方法

(57) 【要約】

【課題】 強誘電体薄膜を有するキャパシタ構造中に水素や水分が拡散し難い構造を有する半導体メモリ素子を提供する。

【解決手段】 半導体メモリ素子のキャパシタ構造は、

(イ) 基体20上に形成された下部電極22と、(ロ) 下部電極22上に形成された強誘電体薄膜から成るキャパシタ部23と、(ハ) キャパシタ部23の上に形成された上部電極26から成り、(ニ) 基体20と下部電極22の間に形成された、4A族遷移金属、5A族遷移金属、4A族遷移金属窒化物、5A族遷移金属窒化物、シリコン窒化物、ニッケル又はパラジウムから構成された第1の保護層21と、(ホ) 上部電極26の上に形成された、4A族遷移金属、5A族遷移金属、4A族遷移金属窒化物、5A族遷移金属窒化物、ニッケル又はパラジウムから構成された第2の保護層27を更に備えている。



【特許請求の範囲】

【請求項 1】 (イ) 基体上に形成された下部電極と、

(ロ) 該下部電極上に形成された強誘電体薄膜から成るキャパシタ部と、

(ハ) 該キャパシタ部の上に形成された上部電極、から成る半導体メモリ素子のキャパシタ構造であって、

(ニ) 該基体と下部電極の間に形成された、4 A 族遷移金属、5 A 族遷移金属、4 A 族遷移金属窒化物、5 A 族遷移金属窒化物、シリコン窒化物、ニッケル及びパラジウムから構成された材料群から選択された材料から成る 1 層若しくは多層の第 1 の保護層と、

(ホ) 該上部電極の上に形成された、4 A 族遷移金属、5 A 族遷移金属、4 A 族遷移金属窒化物、5 A 族遷移金属窒化物、ニッケル及びパラジウムから構成された材料群から選択された材料から成る 1 層若しくは多層の第 2 の保護層、を更に備えていることを特徴とする半導体メモリ素子のキャパシタ構造。

【請求項 2】 前記上部電極は、絶縁層を介してキャパシタ部、下部電極及び第 1 の保護層を覆っていることを特徴とする請求項 1 に記載の半導体メモリ素子のキャパシタ構造。

【請求項 3】 前記第 2 の保護層は、前記上部電極の表面を覆っていることを特徴とする請求項 2 に記載の半導体メモリ素子のキャパシタ構造。

【請求項 4】 (イ) 基体上に、4 A 族遷移金属、5 A 族遷移金属、4 A 族遷移金属窒化物、5 A 族遷移金属窒化物、シリコン窒化物、ニッケル及びパラジウムから構成された材料群から選択された材料から成る 1 層若しくは多層の第 1 の保護層を形成する工程と、

(ロ) 該第 1 の保護層上に下部電極層を形成する工程と、

(ハ) 該下部電極層及び第 1 の保護層をパターンニングして、下部電極を形成する工程と、

(ニ) 該下部電極上に強誘電体薄膜を形成した後、該強誘電体薄膜をパターンニングし、強誘電体薄膜から成るキャパシタ部を形成する工程と、

(ホ) 全面に絶縁層を形成した後、キャパシタ部の上の該絶縁層に開口部を形成する工程と、

(ヘ) 開口部内を含む該絶縁層上に上部電極層を形成する工程と、

(ト) 該上部電極層上に、4 A 族遷移金属、5 A 族遷移金属、4 A 族遷移金属窒化物、5 A 族遷移金属窒化物、ニッケル及びパラジウムから構成された材料群から選択された材料から成る 1 層若しくは多層の第 2 の保護層を形成する工程と、

(チ) 該第 2 の保護層及び上部電極層をパターンニングして上部電極を形成する工程、から成ることを特徴とする半導体メモリ素子のキャパシタ構造の形成方法。

【請求項 5】 請求項 4 に記載された工程 (ヘ)、(ト) 及び (チ) の代わりに、

(リ) 開口部内を含む該絶縁層上に上部電極層を形成した後、該上部電極層をパターンニングして上部電極を形成する工程と、

(ヌ) 該上部電極上に、4 A 族遷移金属、5 A 族遷移金属、4 A 族遷移金属窒化物、5 A 族遷移金属窒化物、ニッケル及びパラジウムから構成された材料群から選択された材料から成る 1 層若しくは多層の第 2 の保護層を形成した後、該上部電極の表面が該第 2 の保護層で覆われるように該第 2 の保護層をパターンニングする工程、を含むことを特徴とする半導体メモリ素子のキャパシタ構造の形成方法。

【請求項 6】 請求項 4 に記載された工程 (ハ) 及び

(ニ) の代わりに、

(ル) 前記下部電極層上に強誘電体薄膜を形成する工程と、

(ヲ) 該強誘電体薄膜、前記下部電極層及び前記第 1 の保護層をパターンニングし、強誘電体薄膜から成るキャパシタ部、及び下部電極を形成する工程、を含むことを特徴とする半導体メモリ素子のキャパシタ構造の形成方法。

【請求項 7】 (イ) 基体上に、4 A 族遷移金属、5 A 族遷移金属、4 A 族遷移金属窒化物、5 A 族遷移金属窒化物、シリコン窒化物、ニッケル及びパラジウムから構成された材料群から選択された材料から成る 1 層若しくは多層の第 1 の保護層を形成する工程と、

(ロ) 該第 1 の保護層上に下部電極層を形成する工程と、

(ハ) 該下部電極層上に強誘電体薄膜を形成する工程と、

(ニ) 該強誘電体薄膜、下部電極層及び第 1 の保護層をパターンニングし、強誘電体薄膜から成るキャパシタ部、及び下部電極を形成する工程と、

(ホ) 全面に絶縁層を形成した後、キャパシタ部の上方の該絶縁層に開口部を形成する工程と、

(ヘ) 開口部内を含む該絶縁層上に上部電極層を形成した後、該上部電極層をパターンニングして上部電極を形成する工程と、

(ト) 該上部電極層上に、4 A 族遷移金属、5 A 族遷移金属、4 A 族遷移金属窒化物、5 A 族遷移金属窒化物、ニッケル及びパラジウムから構成された材料群から選択された材料から成る 1 層若しくは多層の第 2 の保護層を形成した後、該上部電極の表面が該第 2 の保護層で覆われるように該第 2 の保護層をパターンニングする工程、から成ることを特徴とする半導体メモリ素子のキャパシタ構造の形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体メモリ素子のキャパシタ構造及びその形成方法に関する。

【0002】

【従来の技術】近年、成膜技術の進歩に伴い強誘電体薄膜を用いた不揮発性メモリセルの応用研究が盛んに進められている。この不揮発性メモリセルは、強誘電体薄膜の高速分極反転とその残留分極を利用する高速書き換えが可能な不揮発性メモリセルである。現在研究されている強誘電体薄膜を用いた不揮発性メモリセルは、強誘電体キャパシタの蓄積電荷量の変化を検出する方式と、強誘電体の自発分極による抵抗変化を検出する方式の2つに分類することができる。本発明に関連する半導体メモリ素子は前者に属する。

【0003】強誘電体キャパシタの蓄積電荷量の変化を検出する方式の不揮発性メモリセルとして、例えば、強誘電体キャパシタに選択トランジスタを付加した1キャパシタ+1トランジスタ（選択トランジスタ）構造を有する不揮発性メモリセルを挙げることができる。従来の強誘電体キャパシタは、例えば、図14に模式的な一部断面図を示すように、下部電極と上部電極、及びそれらの間に挟まれた強誘電体薄膜から構成されている。このタイプの不揮発性メモリセルにおけるデータの書き込みや読み出しは、図13に示す強誘電体のP-Eヒステリシスループを応用して行われる。強誘電体薄膜に外部電界を加えた後、外部電界を除いたとき、強誘電体薄膜は自発分極を示す。そして、強誘電体薄膜の残留分極は、プラス方向の外部電界が印加されたとき+Pr、マイナス方向の外部電界が印加されたとき-Prとなる。ここで、残留分極が+Prの状態（図13の「D」参照）の場合を“0”とし、残留分極が-Prの状態（図13の「A」参照）の場合を“1”とする。

【0004】“1”あるいは“0”の状態を判別するために、強誘電体薄膜に例えばプラス方向の外部電界を印加する。これによって、強誘電体薄膜の分極は図13の「C」の状態となる。このとき、データが“0”であれば、強誘電体薄膜の分極状態は、「D」から「C」の状態に変化する。一方、データが“1”であれば、強誘電体薄膜の分極状態は、「A」から「B」を経由して「C」の状態に変化する。データが“0”の場合には、強誘電体薄膜の分極反転は生じない。一方、データが“1”の場合には、強誘電体薄膜に分極反転が生じる。その結果、強誘電体キャパシタの蓄積電荷量に差が生じる。選択されたメモリセルの選択トランジスタをオンにすることで、この蓄積電荷を信号電流として検出する。データの読み出し後、外部電界を0にすると、データが“0”のときでも“1”のときでも、強誘電体薄膜の分極状態は図13の「D」の状態となってしまう。それ故、データが“1”の場合、マイナス方向の外部電界を印加して、「D」、「E」という経路で「A」の状態とし、データ“1”を書き込む。

【0005】Bi系層状構造ペロブスカイト型の強誘電体材料から成る強誘電体薄膜（以下、ビスマス層状強誘電体薄膜と呼ぶ場合もある）は、従来のPZT系の強誘

電体薄膜の最大の欠点であったファティーグ現象（データの書き換えの繰り返しによる残留分極の低下）が見られないことから、上記の不揮発性メモリ用の強誘電体薄膜として注目を集めている。

【0006】

【発明が解決しようとする課題】しかしながら、かかるビスマス層状強誘電体薄膜から構成されたキャパシタ構造においては、半導体メモリ素子の製造プロセスに起因した分極特性の劣化（残留分極±Prの低下）による動作不良といった問題が発生している。このような問題の原因は、水素や水分が強誘電体薄膜に侵入することにあることを本発明者らは見出した。例えば、(Bi)₂(Sr, Ba, Ca)(Ta, Nb)₂O₉で表されるY1系材料（例えば、Bi₂SrTa₂O₉）から成るビスマス層状強誘電体薄膜においては、本来、残留分極±Prの低下が全く無いに等しい。それにも拘わらず、かかるY1系材料に水素を拡散させると、残留分極±Prの低下現象が発生する。例えば、図14の構造を有するキャパシタ構造において、100%水素雰囲気中で処理温度420°Cの条件とした水素処理を行うと、Pr+|-Pr|の値が、水素処理を行う前と比較して、約20%も低下することが判った。

【0007】半導体メモリ素子の作製プロセスにおいては、例えば、シリコン半導体基板とシリコン酸化膜との界面に存在するダングリングボンドを消滅させるために、水素処理が行われる。従って、強誘電体薄膜から成るキャパシタ構造を有する半導体メモリ素子の製造においては、水素が強誘電体薄膜に侵入することによって強誘電体薄膜の信頼性が損なわれることを防ぐ必要がある。一方、半導体メモリ素子の選択トランジスタの部分には水素を拡散させる必要がある。従来の技術においては、例えば、アルミニウム合金等から成る配線を形成する前後に行う水素処理（例えば、H₂を3~100%含有する雰囲気中で、400~450°Cでの処理）を行わない、あるいは又、水素を含有する薄膜（例えば、プラズマCVD法にて成膜されたSi₃N₄膜、光CVD法にて成膜されたSi₃N₄膜）を形成しない、あるいは又、水素を含有する薄膜を200~350°C程度の低温で成膜し、その後、より高温（例えば、350~450°C）の熱処理を行わないといった、選択トランジスタの部分も含めキャパシタ構造に水素を拡散させない工程を採用しているが、これでは、選択トランジスタの特性が劣化してしまう。また、半導体メモリ素子の作製プロセスにおいて、各種の熱処理を行ったとき、絶縁層等に取り込まれていた水分がキャパシタ構造内に侵入し、残留分極±Prの低下現象を招く。

【0008】例えば、酸素の拡散防止を目的として、図15に模式的な一部断面図を示す構造の半導体メモリ素子が、文献“A Half-Micron Ferroelectric Memory Cell Technology with Stacked Capacitor Structure”, S.

Onishi, et al. IEDM94 843~846 から公知である。この半導体メモリ素子においては、白金 (Pt) から成る下部電極と層間絶縁層との間に、下からTi層/TiN層から成る下地層が形成されている。このTi層/TiN層は、白金から成る下部電極の拡散防止及び層間絶縁層への密着性の向上を意図して設けられている。下地層の上には、下部電極及び強誘電体薄膜が積層されている。更に、強誘電体薄膜、下部電極及び下地層を覆うように、TiO₂層が、層間絶縁層上、強誘電体薄膜、下部電極及び下地層の側面、並びに強誘電体薄膜の頂面の一部に形成されている。このTiO₂層は、酸素の拡散防止を目的として設けられている。TiO₂層上には絶縁層が形成され、強誘電体薄膜の上方のTiO₂層及び絶縁層には開口部が設けられ、かかる開口部を含む絶縁層上には上部電極が形成されている。この文献に開示された技術はキャパシタ構造に酸素が拡散することを防止する技術であり、キャパシタ構造、特に強誘電体薄膜に水素が拡散することを防止する技術ではない。更には、TiO₂層は水素の拡散を効果的に防止することはできない。その理由は、TiO₂層が、キャパシタ側面及びキャパシタ上面の一部を覆っているだけであり、TiO₂層で完全には覆われていない上部白金電極を介しての水素拡散を防止できないし、TiO₂の水素拡散抑制効果は、TiやTiNより劣ると推定されるからである。

【0009】従って、本発明の目的は、強誘電体薄膜を有するキャパシタ構造中に水素や水分が拡散し難い構造を有する半導体メモリ素子及びその形成方法を提供することにある。

【0010】

【課題を解決するための手段】上記の目的を達成するための本発明の半導体メモリ素子のキャパシタ構造は、

(イ) 基体上に形成された下部電極と、(ロ) 該下部電極上に形成された強誘電体薄膜から成るキャパシタ部と、(ハ) 該キャパシタ部の上に形成された上部電極、から成り、(ニ) 該基体と下部電極の間に形成された、4A族遷移金属、5A族遷移金属、4A族遷移金属窒化物、5A族遷移金属窒化物、シリコン窒化物、ニッケル及びパラジウムから構成された材料群から選択された材料から成る1層若しくは多層の第1の保護層と、(ホ) 該上部電極の上に形成された、4A族遷移金属、5A族遷移金属、4A族遷移金属窒化物、5A族遷移金属窒化物、ニッケル及びパラジウムから構成された材料群から選択された材料から成る1層若しくは多層の第2の保護層、を更に備えていることを特徴とする。

【0011】本発明の半導体メモリ素子のキャパシタ構造においては、前記上部電極は、絶縁層を介してキャパシタ部、下部電極及び第1の保護層を覆っている構造とすることが好ましい。この場合、前記第2の保護層は、前記上部電極の表面を覆っている構造とすることが、一層好ましい。ここで、第2の保護層が上部電極の表面を

覆っているとは、上部電極が配線 (例えばプレート線) としても機能する場合、かかる配線の部分までも第2の保護層で被覆することを意図しているのではないことを意味する。以下においても同様である。

【0012】上記の目的を達成するための本発明の第1の態様に係る半導体メモリ素子のキャパシタ構造の形成方法は、(イ) 基体上に、4A族遷移金属、5A族遷移金属、4A族遷移金属窒化物、5A族遷移金属窒化物、シリコン窒化物、ニッケル及びパラジウムから構成された材料群から選択された材料から成る1層若しくは多層の第1の保護層を形成する工程と、(ロ) 該第1の保護層上に下部電極層を形成する工程と、(ハ) 該下部電極層及び第1の保護層をパターンニングして、下部電極を形成する工程と、(ニ) 該下部電極上に強誘電体薄膜を形成した後、該強誘電体薄膜をパターンニングし、強誘電体薄膜から成るキャパシタ部を形成する工程と、(ホ) 全面に絶縁層を形成した後、キャパシタ部の上の該絶縁層に開口部を形成する工程と、(ヘ) 開口部内を含む該絶縁層上に上部電極層を形成する工程と、(ト) 該上部電極層上に、4A族遷移金属、5A族遷移金属、4A族遷移金属窒化物、5A族遷移金属窒化物、ニッケル及びパラジウムから構成された材料群から選択された材料から成る1層若しくは多層の第2の保護層を形成する工程と、(チ) 該第2の保護層及び上部電極層をパターンニングして上部電極を形成する工程、から成ることを特徴とする。

【0013】上記の目的を達成するための本発明の第2の態様に係る半導体メモリ素子のキャパシタ構造の形成方法は、本発明の第1の態様に係る半導体メモリ素子のキャパシタ構造の形成方法における工程(ヘ)、(ト)及び(チ)の代わりに、(リ) 開口部内を含む該絶縁層上に上部電極層を形成した後、該上部電極層をパターンニングして上部電極を形成する工程と、(ヌ) 該上部電極上に、4A族遷移金属、5A族遷移金属、4A族遷移金属窒化物、5A族遷移金属窒化物、ニッケル及びパラジウムから構成された材料群から選択された材料から成る1層若しくは多層の第2の保護層を形成した後、該上部電極の表面が該第2の保護層で覆われるように該第2の保護層をパターンニングする工程、を含むことを特徴とする。

【0014】上記の目的を達成するための本発明の第3の態様に係る半導体メモリ素子のキャパシタ構造の形成方法は、本発明の第1の態様に係る半導体メモリ素子のキャパシタ構造の形成方法における工程(ハ)及び

(ニ)の代わりに、(ル) 前記下部電極層上に強誘電体薄膜を形成する工程と、(ヲ) 該強誘電体薄膜、前記下部電極層及び前記第1の保護層をパターンニングし、強誘電体薄膜から成るキャパシタ部、及び下部電極を形成する工程、を含むことを特徴とする。

【0015】上記の目的を達成するための本発明の第4

の態様に係る半導体メモリ素子のキャパシタ構造の形成方法は、(イ)基体上に、4A族遷移金属、5A族遷移金属、4A族遷移金属窒化物、5A族遷移金属窒化物、シリコン窒化物、ニッケル及びパラジウムから構成された材料群から選択された材料から成る1層若しくは多層の第1の保護層を形成する工程と、(ロ)該第1の保護層上に下部電極層を形成する工程と、(ハ)該下部電極層上に強誘電体薄膜を形成する工程と、(ニ)該強誘電体薄膜、下部電極層及び第1の保護層をパターンニングし、強誘電体薄膜から成るキャパシタ部、及び下部電極を形成する工程と、(ホ)全面に絶縁層を形成した後、キャパシタ部の上方の該絶縁層に開口部を形成する工程と、(ヘ)開口部内を含む該絶縁層に上部電極層を形成した後、該上部電極層をパターンニングして上部電極を形成する工程と、(ト)該上部電極上に、4A族遷移金属、5A族遷移金属、4A族遷移金属窒化物、5A族遷移金属窒化物、ニッケル及びパラジウムから構成された材料群から選択された材料から成る1層若しくは多層の第2の保護層を形成した後、該上部電極の表面が該第2の保護層で覆われるように該第2の保護層をパターンニングする工程、から成ることを特徴とする。

【0016】本発明において、下部電極を構成する材料として、Pt、RuO₂、IrO₂、ペロブスカイト構造を有するLa-Sr-Co-O(LSCO)、あるいは下からLSCO/Ptの2層構造を例示することができる。また、上部電極を構成する材料として、Pt、RuO₂、IrO₂、アルミニウム合金を例示することができる。

【0017】また、強誘電体薄膜として、Bi系層状構造ペロブスカイト型の強誘電体材料を挙げることができる。具体的には、強誘電体薄膜として、Bi₂SrTa₂O₉、Bi₂SrNb₂O₉、Bi₂BaTa₂O₉、Bi₄SrTi₄O₁₅、Bi₄Ti₃O₁₂、Bi₂SrTa_xNb_{2-x}O₉、Bi₂PbTa₂O₉等を例示することができるが、中でも、強誘電体薄膜は、Y1系材料(Bi₂(Sr, Ba, Ca)(Ta, Nb)₂O₉)から成ることが好ましく、更には、Y1系材料はBi₂SrTa₂O₉から成ることが好ましい。あるいは又、強誘電体薄膜として、PZTやPLZTを例示することもできる。

【0018】第1の保護層あるいは又第2の保護層は、4A族遷移金属(Ti、Zr、Hf)、5A族遷移金属(V、Nb、Ta)、4A族遷移金属窒化物、5A族遷移金属窒化物、シリコン窒化物、ニッケル及びパラジウムから成る材料群から選択された材料から成る1層から構成してもよい。あるいは又、例えば、下から、

4A族遷移金属/5A族遷移金属
4A族遷移金属/4A族遷移金属窒化物
4A族遷移金属/5A族遷移金属窒化物
5A族遷移金属/4A族遷移金属
5A族遷移金属/4A族遷移金属窒化物

5A族遷移金属/5A族遷移金属窒化物
4A族遷移金属窒化物/4A族遷移金属
4A族遷移金属窒化物/5A族遷移金属
4A族遷移金属窒化物/5A族遷移金属窒化物
5A族遷移金属窒化物/4A族遷移金属
5A族遷移金属窒化物/4A族遷移金属窒化物
5A族遷移金属窒化物/5A族遷移金属
の2層構造を挙げることができる。更には、例えば、
4A族遷移金属/4A族遷移金属窒化物/4A族遷移金属
4A族遷移金属/4A族遷移金属窒化物/5A族遷移金属
4A族遷移金属/5A族遷移金属窒化物/4A族遷移金属
4A族遷移金属/5A族遷移金属窒化物/5A族遷移金属
5A族遷移金属/5A族遷移金属窒化物/4A族遷移金属
5A族遷移金属/5A族遷移金属窒化物/5A族遷移金属
5A族遷移金属/5A族遷移金属窒化物/5A族遷移金属

で例示される3層構造とすることもできる。尚、上記の多層構成の例示において、遷移金属若しくは遷移金属窒化物を、シリコン窒化物、ニッケル若しくはパラジウムに置き換えることもできる。

【0019】基体としては、SiO₂、BPSG、PSG、BSG、AsSG、PbSG、SbSG、SOG、SiON、SiN、NSG、LTO等の公知の絶縁材料、あるいはこれらの絶縁材料を積層したものから成る層間絶縁層を挙げることができる。あるいは又、LOCOS構造やトレンチ構造を有する素子分離領域を挙げることができる。

【0020】上部電極の下に形成される絶縁層としても、SiO₂、BPSG、PSG、BSG、AsSG、PbSG、SbSG、SOG、SiON、SiN、NSG、LTO等の公知の絶縁材料、あるいはこれらの絶縁材料を積層したものから成る層間絶縁層を挙げることができる。

【0021】本発明に係る半導体メモリ素子の構造としては、半導体メモリ素子を構成する選択トランジスタの一方のソース・ドレイン領域と上部電極をコンタクトプラグ及び配線を介して電気的に接続し、下部電極をプレート線に接続する形態、あるいは、選択トランジスタの一方のソース・ドレイン領域と下部電極をコンタクトプラグを介して電気的に接続し、上部電極をプレート線に接続する形態を例示することができる。尚、前者の形態は、一般にはプレーナ型の半導体メモリ素子と呼ばれ、後者の形態は、一般にはスタック型の半導体メモリ素子と呼ばれる。尚、このスタック型の半導体メモリ素子においては、選択トランジスタの一方のソース・ドレイン領域と下部電極とは第1の保護層を介して導通している

ので、第1の保護層の電気伝導率は $0.01\Omega\cdot\text{cm}$ 程度以下であることが望ましく、従って、この場合、第1の保護層としてシリコン窒化物を用いることは余り適切ではない。

【0022】本発明においては、半導体メモリ素子のキャパシタ構造は、第1の保護層及び第2の保護層で取り囲まれている。4A族遷移金属あるいは5A族遷移金属は水素を吸蔵する性質を有する。一方、4A族遷移金属窒化物、5A族遷移金属窒化物、シリコン窒化物、ニッケル若しくはパラジウムは、水素の拡散を効果的に防止し得る性質を有する。また、これらの材料から成る第1及び第2の保護層は、水分の侵入に対するバリア効果を有する。従って、第1の保護層及び第2の保護層を設けることによって、水素処理や熱処理を行ったとき、水素や水分がキャパシタ構造内に拡散、侵入することを効果的に抑制することができる。その結果、キャパシタ構造の分極特性の劣化が生じることがなく、半導体メモリ素子の長期信頼性を高めることができる。更には、4A族遷移金属あるいは5A族遷移金属は、基体の主な組成が SiO_2 である場合、下部電極と基体との間の密着性を向上させる機能をも有する。

【0023】

【発明の実施の形態】以下、図面を参照して、発明の実施の形態（以下、単に実施の形態と略す）に基づき本発明を説明する。

【0024】（実施の形態1）実施の形態1は、本発明の半導体メモリ素子のキャパシタ構造、及び本発明の第1の態様に係る半導体メモリ素子のキャパシタ構造の形成方法に関する。強誘電体薄膜はY1系材料である $\text{Bi}_2\text{SrTa}_2\text{O}_9$ から成り、第1の保護層及び第2の保護層は、4A族遷移金属から成る層と4A族遷移金属窒化物から成る層の2層構造を有する。具体的には、第1の保護層及び第2の保護層は、下からTi層/TiN層の2層構造を有する。半導体メモリ素子は前述の不揮発性メモリセル（所謂FERAM）から成る。実施の形態1における半導体メモリ素子においては、選択トランジスタの一方のソース・ドレイン領域と上部電極とはコンタクトプラグ及び配線を介して電氣的に接続され、下部電極はプレート線に接続されている。そして、キャパシタ構造が選択トランジスタの上方には形成されていない、所謂プレーナ型の半導体メモリ素子構造を有する。以下、実施の形態1を、図1～図4を参照して説明する。

【0025】図1の（A）に、実施の形態1に係る半導体メモリ素子の模式的な一部断面図を示す。また、半導体メモリ素子の等価回路を図1の（B）に示す。半導体メモリ素子を構成する選択トランジスタは、シリコン半導体基板10に形成されたソース・ドレイン領域14及びチャネル領域15と、このチャネル領域15の上方に形成されたゲート電極13と、LOCOS構造を有する素子分離領域11と、ゲート電極13の下に形成された

ゲート酸化膜12から成る。尚、ゲート電極13はワード線を兼ねており、例えば、ポリシリコン、あるいはポリサイドや金属シリサイドから構成されている。そして、ソース・ドレイン領域14及びゲート電極13は、層間絶縁層20によって被覆されている。層間絶縁層20は基体に相当し、例えば、BPSGから成る。

【0026】素子分離領域11の上の層間絶縁層20上には、キャパシタ構造が形成されている。このキャパシタ構造は、白金（Pt）から成る下部電極22、強誘電体薄膜から成るキャパシタ部23、及び、白金から成る上部電極26から構成されている。下部電極22は、基体に相当する層間絶縁層20の上に形成されている。キャパシタ部23は下部電極22上に形成されている。更に、上部電極26はキャパシタ部23の上に形成されている。

【0027】第1の保護層21が、基体に相当する層間絶縁層20と下部電極22との間に形成されている。一方、第2の保護層27が、上部電極26の上に形成されている。実施の形態1においては、第1の保護層21及び第2の保護層27は、4A族遷移金属（具体的にはTi）から成る層、及び4A族遷移金属窒化物（具体的にはTiN）から成る層の2層構造を有する。ここで、Tiから成る層が下層であり、TiNから成る層が上層である。尚、図においては、第1の保護層21及び第2の保護層27を1層で表現している。実施の形態1においては、上部電極26は、例えば SiO_2 から成る絶縁層24を介してキャパシタ部23、下部電極22及び第1の保護層21を覆っている。

【0028】第2の保護膜27上には、例えばBPSGから成る上層絶縁層30が形成されている。上部電極26は、第2の保護層27を介して、上層絶縁層30に設けられた開口部31内を延びる配線32と接続されている。更に、配線32は、上層絶縁層30及び層間絶縁層20に設けられたコンタクトプラグ34を介して、選択トランジスタの一方のソース・ドレイン領域14（例えばソース領域）と接続されている。また、選択トランジスタの他方のソース・ドレイン領域14（例えばドレイン領域）は、上層絶縁層30及び層間絶縁層20に設けられたコンタクトプラグ36を介してビット線37に接続されている。下部電極22はプレート線に接続されているが、この状態の図示は省略した。

【0029】プレーナ型の実施の形態1における半導体メモリ素子の製造方法を、半導体基板等の模式的な一部断面図である図2～図4を参照して、以下、説明する。

【0030】〔工程100〕先ず、シリコン半導体基板10に、公知の方法に基づきLOCOS構造を有する素子分離領域11を形成する。次に、半導体基板10の表面を酸化してゲート酸化膜12を形成する。そして、ポリシリコン層を例えばCVD法にて全面に堆積させた後、フォトリソグラフィ技術及びエッチング技術によつ

てポリシリコン層をパターンニングし、ポリシリコンから成るゲート電極13を形成する。尚、このゲート電極13はワード線を兼ねている。次に、不純物イオンのイオン注入及び注入された不純物の活性化処理を行い、ソース・ドレイン領域14及びチャネル領域15を形成する。こうして、半導体メモリ素子における選択トランジスタが形成される。

【0031】尚、LOCOS構造を有する素子分離領域11の代わりに、素子分離領域をトレンチ構造から構成することもできる。ゲート電極13を、ポリシリコン層から構成する代わりに、ポリサイドや金属シリサイドから構成することもできる。

【0032】【工程-105】次に、半導体基板10上に、基体に相当する層間絶縁層20を、例えばCVD法にて形成する。こうして、図2の(A)に示す構造を得ることができる。尚、BPSGから成る層間絶縁層20の成膜後、窒素ガス雰囲気中で例えば900°C×20分間、層間絶縁層20をリフローさせることが好ましい。更には、必要に応じて、例えば化学的機械的研磨法(CMP法)にて層間絶縁層20の頂面を化学的及び機械的に研磨し、層間絶縁層20を平坦化したり、レジストエッチバック法によって層間絶縁層20を平坦化することが望ましい。層間絶縁層20の成膜条件を以下に例示する。

使用ガス: SiH₄/PH₃/B₂H₆

成膜温度: 400°C

反応圧力: 常圧

【0033】【工程-110】その後、基体に相当する層間絶縁層20上に第1の保護層21を形成する。実施の形態1においては、第1の保護層21は、下からTi層/TiN層の2層構造を有する。Ti層及びTiN層のスパッタ法による成膜条件を以下に例示する。かかる第1の保護層21は、後に形成するキャパシタ構造内に水素が拡散したり、水分が侵入することを防止する機能を有する。更には、Ti層は、次に形成する下部電極と基体との間の密着性を向上させる機能をも有する。

Ti層(厚さ: 20nm)

プロセスガス: Ar=35sccm

圧力: 0.20Pa (1.5mTorr)

DCパワー: 400W

成膜温度: 室温

TiN層(厚さ: 100nm)

プロセスガス: N₂/Ar=100/35sccm

圧力: 0.40Pa (3.0mTorr)

DCパワー: 900W

ソース材料: Bi(C₆H₅)₃

Sr(C₁₁H₁₉O₂)₂

Ta(OC₂H₅)₅

成膜温度: 550~750°C

成膜圧力: 1.3×10⁻¹~1.3×10⁻³Pa (0.1~1Torr)

成膜温度: 室温

【0034】【工程-115】次いで、第1の保護層21上に下部電極層を形成する。具体的には、第1の保護層21の上を含む全面にDCスパッタ法にて白金(Pt)から成る下部電極層を堆積させる。下部電極層の厚さを0.1~0.2μmとした。DCスパッタ条件を以下に例示する。

DCパワー: 200W

プロセスガス: Ar=40sccm

10 圧力: 0.20Pa (1.5mTorr)

成膜温度: 室温

堆積速度: 10nm/分

【0035】尚、白金(Pt)から成る下部電極層をパルスレーザ堆積法によって成膜することも可能である。パルスレーザ堆積法による白金の成膜条件を、以下に例示する。

パルスレーザ堆積法による成膜条件

ターゲット: Pt

20 使用レーザ: KrFエキシマレーザ(波長248nm、パルス幅25ns、5Hz、1.1J/cm²)

成膜温度: 500~600°C

【0036】更には、下部電極層を、下からLSCO/Ptから構成することもできる。この場合のパルスレーザアブレーション法によるLSCOの成膜条件を以下に例示する。

ターゲット: LSCO

使用レーザ: KrFエキシマレーザ(波長248nm、パルス幅25ns、3Hz)

出力エネルギー: 400mJ (1.1J/cm²)

30 成膜温度: 550~600°C

酸素分圧: 40~120Pa

【0037】【工程-120】その後、下部電極層及び第1の保護層を、例えばイオンミリング技術を用いてパターンニングして、下部電極層から下部電極22を形成する。こうして、図2の(B)に模式的に示す構造を得ることができる。尚、下層電極22はプレート線を兼用しているが、この状態の図示は省略した。

【0038】【工程-125】次に、下部電極22上に強誘電体薄膜を形成した後、強誘電体薄膜をパターンニングし、強誘電体薄膜から成るキャパシタ部23を形成する(図3の(A)参照)。具体的には、先ず、MOCVD法によって、Bi系層状構造ペロブスカイト型の強誘電体材料から成る強誘電体薄膜を全面に成膜する。例えばY1系材料であるBi₂SrTa₂O₉の成膜条件を以下に例示する。

酸素濃度 : 50%

【0039】あるいは又、強誘電体薄膜を $\text{Bi}_2\text{SrTa}_2\text{O}_9$ から構成し、パルスレーザアブレーション法にて形成することもできる。 $\text{Bi}_2\text{SrTa}_2\text{O}_9$ から成る強誘電体薄膜の成膜条件を以下に例示する。尚、 $\text{Bi}_2\text{SrTa}_2\text{O}_9$ の成膜後、 $800^\circ\text{C} \times 1$ 時間、酸素雰囲気中でポストベーキングを行うことが望ましい。

ターゲット : $\text{Bi}_2\text{SrTa}_2\text{O}_9$

使用レーザ : KrFエキシマレーザ (波長 248nm、*

ターゲット : PZT

プロセスガス : $\text{Ar}/\text{O}_2 = 90$ 体積%/10体積%

圧力 : 4Pa

パワー : 50W

成膜温度 : 500°C 強誘電体薄膜の厚さ : 0.1~0.3 μm

【0041】あるいは又、PZTあるいはPLZTから成る強誘電体薄膜をパルスレーザアブレーション法にて形成することもできる。この場合の成膜条件を以下に例示する。

ターゲット : PZT又はPLZT

使用レーザ : KrFエキシマレーザ (波長 248nm、パルス幅 25ns、3Hz)

出力エネルギー : 400mJ (1.1J/cm²)成膜温度 : $550 \sim 600^\circ\text{C}$

酸素分圧 : 40~120Pa

【0042】その後、RIE法で強誘電体薄膜をパターニングし、強誘電体薄膜から成るキャパシタ部23を形成する。

【0043】[工程-130] 次に、全面に、例えば SiO_2 から成る絶縁層24を、例えばCVD法にて形成した後、キャパシタ部23の上の絶縁層24に、RIE法にて開口部25を形成する (図3の(B)参照)。

【0044】[工程-135] その後、開口部25内を含む絶縁層24上に上部電極層を形成する。例えば白金から成る上部電極層の形成は、[工程-115]と同様とすることができる。

【0045】[工程-140] 次に、上部電極層上に、2層構造を有する第2の保護層27を形成する。実施の形態1においては、第2の保護層27は、下からTi層/TiN層の2層構造を有する。Ti層及びTiN層のスパッタ法による成膜条件は、[工程-110]と同様とすることができる。かかる第2の保護層27は、形成されたキャパシタ構造内に水素が拡散したり、水分が侵入することを防止する機能を有する。

【0046】[工程-145] その後、第2の保護層27及び上部電極層を、例えばイオンミリング技術を用いてパターニングして、上部電極26を形成する (図4の(A)参照)。こうして、上部電極26が、絶縁層24を介してキャパシタ部23、下部電極22及び第1の保護層21を覆う構造を得ることができる。尚、実施の形

*パルス幅 25ns、5Hz)

成膜温度 : 500°C

酸素分圧 : 3Pa

【0040】更には、PZTから成る強誘電体薄膜を、マグネトロンスパッタ法にて成膜することもできる。成膜条件を以下に例示する。尚、ターゲットをPLZTに交換すれば、PLZTから成る強誘電体薄膜を全面に成膜することができる。

態1においては、第2の保護層27及び上部電極層を同時にパターニングするが故に、上部電極26の側壁は保護層27で覆われていない。しかしながら、このような構造であっても、キャパシタ部23への水素の拡散や水分の侵入を防止する上では問題はない。

【0047】[工程-150] 次に、全面に、例えばPBSGから成る上層絶縁層30を形成する。上層絶縁層30の形成は、[工程-105]と同様とすることができる。その後、第2の保護層27の上方の上層絶縁層30に開口部31を設け、選択トランジスタのソース・ドレイン領域14の上方の上層絶縁層30及び層間絶縁層20に、開口部33、35をRIE法にて設ける。次いで、[工程-110]と同様の方法で、開口部31、33、35内を含む上層絶縁層30上に、下からTi層/TiN層 (図示せず) をスパッタ法にて成膜する。

尚、これらの層は、第1及び第2の保護層21、27と異なり、キャパシタ部23への水素の拡散や水分の侵入を防止する目的で形成するのではない。TiN層は、次に成膜するアルミニウム合金から成る配線材料層によって、開口部33、35の底部のシリコン半導体基板10にアロイスパイクが発生し、シリコン半導体基板10が損傷することを防止する目的、並びに、アルミニウム合金から成る配線材料層の濡れ性改善を目的として成膜される。また、Ti層は、開口部33、35の底部で配線材料層とソース・ドレイン領域14との間にオーミックな低コンタクト抵抗を得ることを目的として成膜される。

【0048】その後、所謂高温アルミニウムスパッタ法にて配線材料層を形成する。これによって、開口部31、33、35には、アルミニウム合金が埋め込まれ、コンタクトプラグ34、36が形成される。アルミニウム合金から成る配線材料層の成膜条件を以下に例示する。

アルミニウム合金 (Al-Cu) から成る配線材料層
プロセスガス : $\text{Ar} = 100\text{sccm}$

15

圧力 : 0.26 Pa

RFパワー : 15 kW

基板加熱温度 : 475°C

【0049】アルミニウム合金から成る配線材料層の成膜を所謂高温アルミニウムスパッタ法にて行う代わりに、所謂高温リフロー法や高圧リフロー法にて行うこともできる。高温リフロー法においては、以下に例示する条件でアルミニウム合金から成る配線材料層を上層絶縁層30上に堆積させる。

プロセスガス : Ar = 100 sccm

DCパワー : 20 kW

スパッタ圧力 : 0.4 Pa

基板加熱温度 : 150°C

【0050】その後、半導体基板10を約500°Cに加熱する。これによって、上層絶縁層30上に堆積したアルミニウム合金から成る配線材料層は流動状態となり、開口部31, 33, 35の内に流入し、開口部31, 33, 35はアルミニウム合金で確実に埋め込まれ、コンタクトプラグ34, 36が形成される。一方、上層絶縁層30の上にはアルミニウム合金から成る配線材料層が残される。加熱条件を、例えば以下のとおりとすることができる。

加熱方式 : 基板裏面ガス加熱

加熱温度 : 500°C

加熱時間 : 2分

プロセスガス : Ar = 100 sccm

プロセスガス圧力 : $1.1 \times 10^3 \text{ Pa}$

【0051】ここで、基板裏面ガス加熱方式とは、半導体基板10の裏面に配置したヒーターブロックを所定の温度（加熱温度）に加熱し、ヒーターブロックと半導体基板10の裏面の間にプロセスガスを導入することによって半導体基板10を加熱する方式である。加熱方式としては、この方式以外にもランプ加熱方式等を用いることができる。

【0052】高温リフロー法の代わりに高圧リフロー法を採用することもできる。この場合、以下に例示する条件にてリフロー処理を行う。

基板加熱温度 : 400°C

加熱時間 : 2分

加熱雰囲気 : アルゴンガス

雰囲気圧力 : 10^6 Pa 以上

【0053】最後に、上層絶縁層上のアルミニウム合金から成る配線材料層、TiN層及びTi層をパターニングして、配線32及びビット線37を形成する（図1の（A）参照）。

【0054】（実施の形態2）実施の形態2は、本発明の第1の態様に係る半導体メモリ素子のキャパシタ構造の形成方法に関する。即ち、実施の形態2においては、上部電極及び第2の保護層の形成手順が実施の形態1と相違する。以下、図5及び図6を参照して、実施の形態

16

2における半導体メモリ素子のキャパシタ構造の形成方法を説明する。

【0055】〔工程-200〕基体に相当する層間絶縁層20上に、Ti層/TiN層から成る第1の保護層21を形成する工程、第1の保護層21上に下部電極層を形成する工程、下部電極層及び第1の保護層21をパターニングして、下部電極22を形成する工程、下部電極22上に強誘電体薄膜を形成した後、強誘電体薄膜をパターニングし、強誘電体薄膜から成るキャパシタ部23を形成する工程、全面に絶縁層24を形成した後、キャパシタ部23の上の絶縁層24に開口部25を形成する工程のそれぞれは、実施の形態1の〔工程-100〕〜〔工程-130〕と同様とすることができるので、詳細な説明は省略する。こうして、図3の（B）に示す構造を得ることができる。

【0056】〔工程-205〕次に、開口部25内を含む絶縁層24上に上部電極層を形成した後、上部電極層をパターニングして上部電極26を形成する（図5の（A）参照）。上部電極層の形成は、〔工程-115〕と同様とすることができる。また、上部電極層のパターニングは、例えばイオンミリング技術によって行うことができる。

【0057】〔工程-210〕その後、上部電極26上に、4A族遷移金属窒化物（実施の形態2においてはTiN）から成る1層の第2の保護層27を形成した後、上部電極26の表面が第2の保護層27で覆われるように第2の保護層27をパターニングする（図5の（B）参照）。Ti層及びTiN層のスパッタ法による成膜条件は、〔工程-110〕と同様とすることができる。また、第2の保護層27のパターニングは、例えばRIE法にて行えばよい。

【0058】〔工程-215〕次いで、実施の形態1の〔工程-150〕と同様に、配線32、ビット線37、コンタクトプラグ34, 36を形成し、図6に模式的な一部断面図を示す構造を得ることができる。

【0059】実施の形態2においては、上部電極層のパターニングと第2の保護層のパターニングを異なる工程で行う。その結果、上部電極26は、絶縁層24を介してキャパシタ部23、下部電極22及び第1の保護層21を覆っているばかりか、第2の保護層27は、上部電極26の表面（側面を含む）を覆っている。これによって、キャパシタ構造内に水素が拡散し、あるいは又、水分が侵入することを一層確実に防止することができる。

【0060】（実施の形態3）実施の形態3は、本発明の第3の態様に係る半導体メモリ素子のキャパシタ構造の形成方法に関する。即ち、実施の形態3においては、第1の保護層、下部電極及びキャパシタ部の形成手順が実施の形態1と相違する。

【0061】強誘電体薄膜は、実施の形態1と同様に、Y1系材料である $\text{Bi}_2\text{SrTa}_2\text{O}_9$ から成り、第1の

保護層及び第2の保護層も、実施の形態1と同様に、4A族遷移金属から成る層と4A族遷移金属窒化物から成る層の2層構造を有する。具体的には、第1の保護層及び第2の保護層は、下からTi層/TiN層の2層構造を有する。半導体メモリ素子は前述の不揮発性メモリセル（所謂FERAM）から成る。実施の形態3における半導体メモリ素子においては、選択トランジスタの一方のソース・ドレイン領域と下部電極とはコンタクトプラグを介して接続され、上部電極はプレート線に接続されている。そして、キャパシタ構造が選択トランジスタの上方に形成されている、所謂スタック型の半導体メモリ素子構造を有する。以下、実施の形態3を、図7～図10を参照して説明する。

【0062】図7に、実施の形態3に係る半導体メモリ素子の模式的な一部断面図を示す。半導体メモリ素子を構成する選択トランジスタの構造は、基本的には実施の形態1にて説明した選択トランジスタの構造と同様とすることができる。

【0063】選択トランジスタの上方の層間絶縁層20上には、キャパシタ構造が形成されている。このキャパシタ構造は、例えば白金(Pt)から成る下部電極22、強誘電体薄膜から成るキャパシタ部23、及び、例えば白金(Pt)から成る上部電極26から構成されている。下部電極22は、基体に相当する層間絶縁層20上に形成されている。キャパシタ部23は下部電極22上に形成されている。更に、上部電極26はキャパシタ部23の上に形成されている。

【0064】第1の保護層21が、基体に相当する層間絶縁層20と下部電極22との間に形成されている。一方、第2の保護層27が、上部電極26の上に形成されている。実施の形態3においても、第1の保護層21及び第2の保護層27は、4A族遷移金属（具体的にはTi）から成る層、及び4A族遷移金属窒化物（具体的にはTiN）から成る層の2層構造を有する。ここで、Tiから成る層が下層であり、TiNから成る層が上層である。尚、図においては、第1の保護層21及び第2の保護層27を1層で表現している。実施の形態3においては、上部電極26は、例えばSiO₂から成る絶縁層24を介してキャパシタ部23、下部電極22及び第1の保護層21を覆っている。

【0065】第2の保護膜27上には、例えばBPSGから成る上層絶縁層30が形成されている。上部電極26は、第2の保護層27を介して、上層絶縁層30に設けられた開口部31内を延びる配線42（プレート線に相当する）と接続されている。下部電極22は、第1の保護層21、層間絶縁層20に設けられたコンタクトプラグ41を介して、選択トランジスタの一方のソース・ドレイン領域14（例えばソース領域）と接続されている。また、選択トランジスタの他方のソース・ドレイン領域14（例えばドレイン領域）は、上層絶縁層30及

び層間絶縁層20に設けられたコンタクトプラグ36を介してビット線37に接続されている。

【0066】スタック型の実施の形態3における半導体メモリ素子の製造方法を、半導体基板等の模式的な一部断面図である図8及び図9を参照して、以下、説明する。

【0067】[工程-300] 先ず、実施の形態1の[工程-100]と同様の方法で、半導体メモリ素子の選択トランジスタの部分形成する。

10 【0068】[工程-305] 次に、半導体基板10上に、基体に相当するBPSGから成る層間絶縁層20を、例えばCVD法にて形成した後、窒素ガス雰囲気中で例えば900°C×20分間、層間絶縁層20をリフローさせることが好ましい。更には、必要に応じて、例えば化学的機械的研磨法（CMP法）にて層間絶縁層20の頂面を化学的及び機械的に研磨し、層間絶縁層20を平坦化したり、レジストエッチバック法によって層間絶縁層20を平坦化することが望ましい。層間絶縁層20の成膜条件は実施の形態1の[工程-105]と同様とすることができる。

20 【0069】その後、一方のソース・ドレイン領域14（例えばソース領域）の上方の層間絶縁層20に、RIE法にて開口部40を形成する。そして、開口部40内を含む層間絶縁層20の上にポリシリコン層をCVD法にて堆積させ、エッチバック法にて層間絶縁層20上のポリシリコン層を除去する。次いで、イオン注入法等によりこのポリシリコン中にリン等の不純物をドーピングし、熱処理を施し不純物を活性化する。こうして、開口部40がドーブト・ポリシリコンで埋め込まれたコンタクトプラグ41を形成することができる（図8の（A）参照）。

30 【0070】[工程-310] 次に、基体に相当する層間絶縁層20上に第1の保護層21を形成する。第1の保護層21の形成条件は、実施の形態1の[工程-110]と同様とすることができる。

【0071】[工程-315] その後、実施の形態1の[工程-115]と同様にして、第1の保護層21上に下部電極層を形成する。

40 【0072】[工程-320] 次に、実施の形態1の[工程-125]と同様にして、下部電極層上に強誘電体薄膜を形成する。

【0073】[工程-325] その後、RIE法等により強誘電体薄膜、下部電極層及び第1の保護層をパターニングし、強誘電体薄膜から成るキャパシタ部23、及び、例えば白金から成る下部電極22を形成する。こうして、図8の（B）に示す構造を得ることができる。

50 【0074】[工程-330] 次に、全面に、例えばSiO₂から成る絶縁層24を、例えばCVD法にて形成した後、キャパシタ部23の上の絶縁層24に、RIE法にて開口部25を形成する（図9の（A）参照）。

【0075】【工程-335】その後、開口部25内を含む絶縁層24上に上部電極層を形成する。例えば白金(Pt)から成る上部電極層の形成は、【工程-115】と同様とすることができる。

【0076】【工程-340】次に、上部電極層上に、2層構造を有する第2の保護層27を形成する。実施の形態3においても、第2の保護層27は、下からTi層/TiN層の2層構造を有する。Ti層及びTiN層のスパッタ法による成膜条件は、【工程-110】と同様とすることができる。

【0077】【工程-345】その後、第2の保護層27及び上部電極層を、例えばイオンミリング技術を用いてパターニングして、上部電極26を形成する(図9の(B)参照)。こうして、上部電極26が、絶縁層24を介してキャパシタ部23、下部電極22及び第1の保護層21を覆う構造を得ることができる。尚、実施の形態3においても、第2の保護層27及び上部電極層を同時にパターニングするが故に、上部電極26の側壁は保護層27で覆われていない。しかしながら、このような構造であっても、キャパシタ部23への水素の拡散や水分の侵入を防止する上では問題はない。

【0078】【工程-350】次いで、全面に、例えばPBSGから成る上層絶縁層30を形成する。上層絶縁層30の形成は、【工程-105】と同様とすることができる。その後、第2の保護層27の上方の上層絶縁層30に開口部を設け、選択トランジスタの他方のソース・ドレイン領域14の上方の上層絶縁層30及び層間絶縁層20に、開口部をRIE法にて設ける。次いで、実施の形態1の【工程-350】と同様の方法で、開口部内を含む上層絶縁層30上に、下からTi層/TiN層(図示せず)をスパッタ法にて成膜し、更に、その上に配線材料層を形成する。これによって、開口部には、アルミニウム合金が埋め込まれ、コンタクトプラグ36が形成される。最後に、上層絶縁層上のアルミニウム合金から成る配線材料層、TiN層及びTi層をパターニングして、配線(プレート線)42及びビット線37を形成する(図7参照)。

【0079】(実施の形態4) 実施の形態4は、本発明の第4の態様に係る半導体メモリ素子のキャパシタ構造の形成方法に関する。即ち、実施の形態4は、実施の形態3で説明した第1の保護層、下部電極及びキャパシタ部の形成手順、及び、実施の形態2で説明した上部電極及び第2の保護層の形成手順を組み合わせたキャパシタ構造の形成方法に関する。尚、半導体メモリ素子の構造は、実施の形態1にて説明したプレーナ型とした。実施の形態4における半導体メモリ素子の製造方法を、半導体基板等の模式的な一部断面図である図10~図12を参照して、以下、説明する。

【0080】【工程-400】先ず、実施の形態1の【工程-100】と同様の方法で、半導体メモリ素子の

選択トランジスタの部分形成する。

【0081】【工程-405】次に、実施の形態1の【工程-105】と同様に、半導体基板10上に、基体に相当する層間絶縁層20を、例えばCVD法にて形成する。

【0082】【工程-410】その後、実施の形態1の【工程-110】と同様に、基体に相当する層間絶縁層20上に第1の保護層21を形成する。尚第1の保護層21は、下からTi層/TiN層の2層構造を有する。

10 【0083】【工程-415】次いで、実施の形態1の【工程-115】と同様に、第1の保護層21上に、例えば白金から成る下部電極層を形成する。

【0084】【工程-420】次に、実施の形態1の【工程-125】と同様にして、下部電極層上に強誘電体薄膜を形成する。

【0085】【工程-425】その後、RIE法等により強誘電体薄膜、下部電極層及び第1の保護層をパターニングし、強誘電体薄膜から成るキャパシタ部23、及び、例えば白金から成る下部電極22を形成する。こうして、図10の(A)に示す構造を得ることができる。

20 【0086】【工程-430】次に、全面に、例えばSiO₂から成る絶縁層24を、例えばCVD法にて形成した後、キャパシタ部23の上の絶縁層24に、RIE法にて開口部25を形成する。

【0087】【工程-435】次に、開口部25内を含む絶縁層24上に上部電極層を形成した後、上部電極層をパターニングして上部電極26を形成する(図10の(B)参照)。例えば白金(Pt)から成る上部電極層の形成は、【工程-115】と同様とすることができる。また、上部電極層のパターニングは、例えばイオンミリング技術によって行うことができる。

30 【0088】【工程-440】その後、上部電極26上に、4A族遷移金属(実施の形態4においてはTi)及び4A族遷移金属窒化物(実施の形態2においてはTiN)から成る2層構造の第2の保護層27を形成した後、上部電極26の表面が第2の保護層27で覆われるように第2の保護層27をパターニングする(図11参照)。Ti層及びTiN層のスパッタ法による成膜条件は、【工程-110】と同様とすることができる。また、第2の保護層27のパターニングは、例えばRIE法にて行えばよい。

【0089】【工程-445】次いで、実施の形態1の【工程-150】と同様に、配線32、ビット線37、コンタクトプラグ34、36を形成し、図12に模式的な一部断面図を示す構造を得ることができる。

【0090】以上、本発明を、発明の実施の形態に基づき説明したが、本発明はこれらの発明の実施の形態に限定されるものではない。実施の形態にて説明した半導体メモリ素子の構造は例示であり、適宜設計変更することができる。例えば、図1の(A)に示した構造の半導体

21

メモリ素子において、場合によっては、第1の保護層を素子分離領域の上に直接形成してもよい。実施の形態

1、実施の形態2及び実施の形態4にて説明した半導体メモリ素子のキャパシタ構造の形成方法を、実施の形態3にて説明した所謂スタック型の半導体メモリ素子の作製に適用することができるし、実施の形態3にて説明した半導体メモリ素子のキャパシタ構造の形成方法を、所謂プレーナ型の半導体メモリ素子の作製に適用することができる。

【0091】各実施の形態においては、コンタクトプラグの形成を、アルミニウム合金を流動状態として開口部内に埋め込む方法、ポリシリコンを用いる方法にて行ったが、その代わりに、所謂ブランケットタングステンCVD法にて形成することもできる。そのためには、層間絶縁層20や上層絶縁層30に開口部を形成した後、

【工程-110】と同様にTi層及びTiN層をスパッタ

第1段階のエッチング：タングステン層のエッチング

使用ガス：SF₆/Ar/He=110：90：5 sccm

圧力：46 Pa

RFパワー：275 W

第2段階のエッチング：TiN層/Ti層のエッチング

使用ガス：Ar/Cl₂=75/：5 sccm

圧力：6.5 Pa

RFパワー：250 W

【0093】

【発明の効果】4A族遷移金属あるいは5A族遷移金属は水素を吸蔵する性質を有する。一方、4A族遷移金属窒化物、5A族遷移金属窒化物、シリコン窒化物、ニッケル若しくはパラジウムは、水素の拡散を効果的に防止し得る性質を有する。また、これらの材料から成る第1及び第2の保護層は、水分の侵入に対するバリア効果を有する。本発明においては、半導体メモリ素子のキャパシタ構造は、かかる材料から構成された第1の保護層及び第2の保護層で取り囲まれているので、水素処理や熱処理を行ったとき、水素や水分がキャパシタ構造内に拡散、侵入することを効果的に抑制することができ、キャパシタ構造の分極特性の劣化が生じることがなく、半導体メモリ素子の長期信頼性を高めることができる。更には、4A族遷移金属あるいは5A族遷移金属を用いることによって、基体の主な組成がSiO₂である場合、下部電極と基体との間の密着性を向上させることができる。

【図面の簡単な説明】

【図1】実施の形態1に係る半導体メモリ素子の模式的な一部断面図、及びかかる半導体メモリ素子の等価回路を示す図である。

【図2】実施の形態1における半導体メモリ素子の製造方法を説明するための、半導体基板等の模式的な一部断面図である。

【図3】図2に引き続き、実施の形態1における半導体

22

*タ法で成膜する。その後、TiN層の上にタングステン層を、以下に例示する条件のCVD法にて堆積させる。

使用ガス：WF₆/H₂/Ar=40/400/2250 sccm

圧力：10.7 kPa

成膜温度：450°C

【0092】その後、層間絶縁層20や上層絶縁層30の上のタングステン層及びTiN層、Ti層をエッチングして除去する。これによって、開口部にタングステンが埋め込まれたコンタクトプラグを形成することができる。その後、上層絶縁層30上にアルミニウム合金から成る配線層を形成し、パターニングを行うことで配線32、42やビット線37を形成することができる。エッチングの条件を、例えば以下のとおりとすることができる。

メモリ素子の製造方法を説明するための、半導体基板等の模式的な一部断面図である。

【図4】図3に引き続き、実施の形態1における半導体メモリ素子の製造方法を説明するための、半導体基板等の模式的な一部断面図である。

【図5】実施の形態2における半導体メモリ素子の製造方法を説明するための、半導体基板等の模式的な一部断面図である。

【図6】図5に引き続き、実施の形態2における半導体メモリ素子の製造方法を説明するための、半導体基板等の模式的な一部断面図である。

【図7】実施の形態3に係る半導体メモリ素子の模式的な一部断面図である。

【図8】実施の形態3における半導体メモリ素子の製造方法を説明するための、半導体基板等の模式的な一部断面図である。

【図9】図8に引き続き、実施の形態3における半導体メモリ素子の製造方法を説明するための、半導体基板等の模式的な一部断面図である。

【図10】実施の形態4における半導体メモリ素子の製造方法を説明するための、半導体基板等の模式的な一部断面図である。

【図11】図10に引き続き、実施の形態4における半導体メモリ素子の製造方法を説明するための、半導体基板等の模式的な一部断面図である。

【図12】図11に引き続き、実施の形態4における半

23

導体メモリ素子の製造方法を説明するための、半導体基板等の模式的な一部断面図である。

【図 1 3】強誘電体の P-E ヒステリシスループ図である。

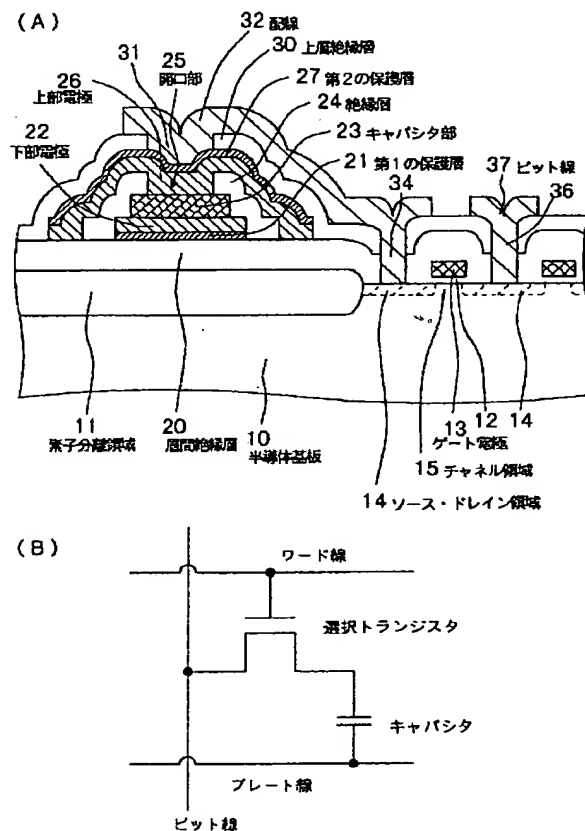
【図 1 4】従来の強誘電体キャパシタの模式的な一部断面図である。

【図 1 5】図 1 4 とは別の形式の従来の強誘電体キャパシタの模式的な一部断面図である。

【符号の説明】

- 10 シリコン半導体基板
- 11 素子分離領域
- 12 ゲート酸化膜
- 13 ゲート電極
- 14 ソース・ドレイン領域
- 15 チャネル領域

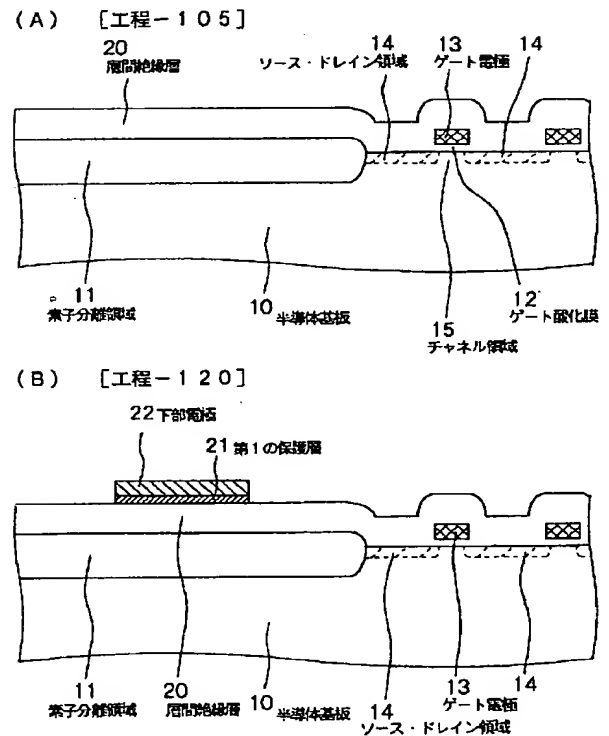
【図 1】



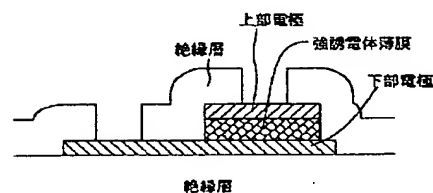
24

- 20 層間絶縁層
- 21 第 1 の保護層
- 22 下部電極
- 23 キャパシタ部
- 24 絶縁層
- 25, 33, 35 開口部
- 26 上部電極
- 27 第 2 の保護層
- 30 上層絶縁層
- 10 31, 33, 35, 40 開口部
- 32 配線
- 34, 36, 41 コンタクトプラグ
- 37 ビット線
- 42 配線 (プレート線)

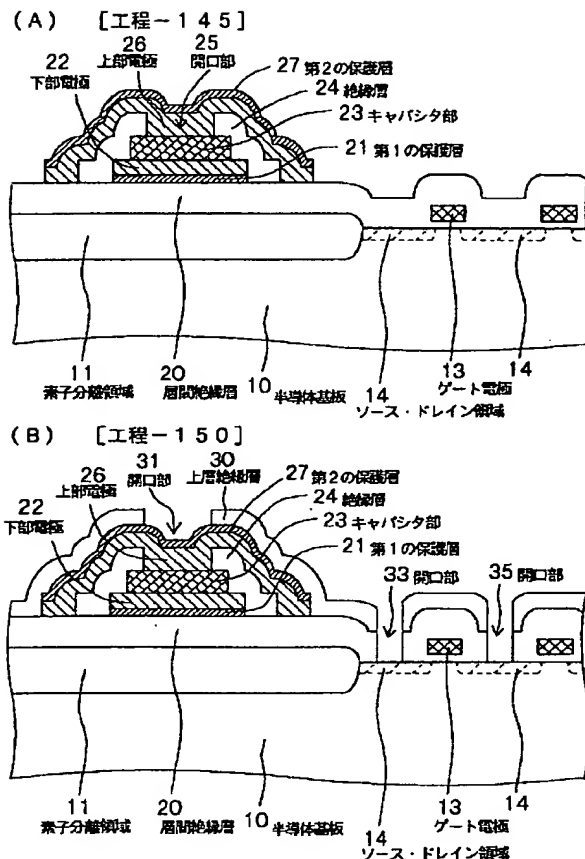
【図 2】



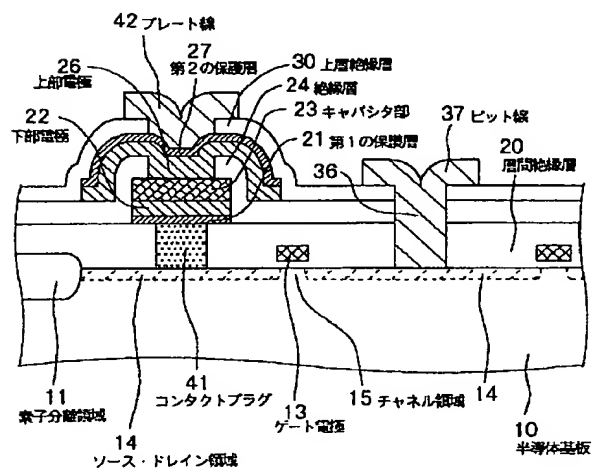
【図 1 4】



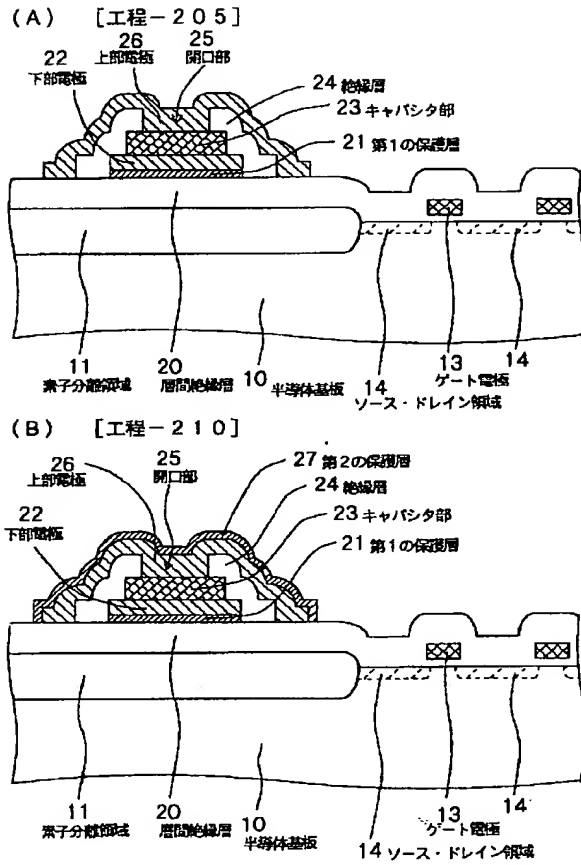
【図4】



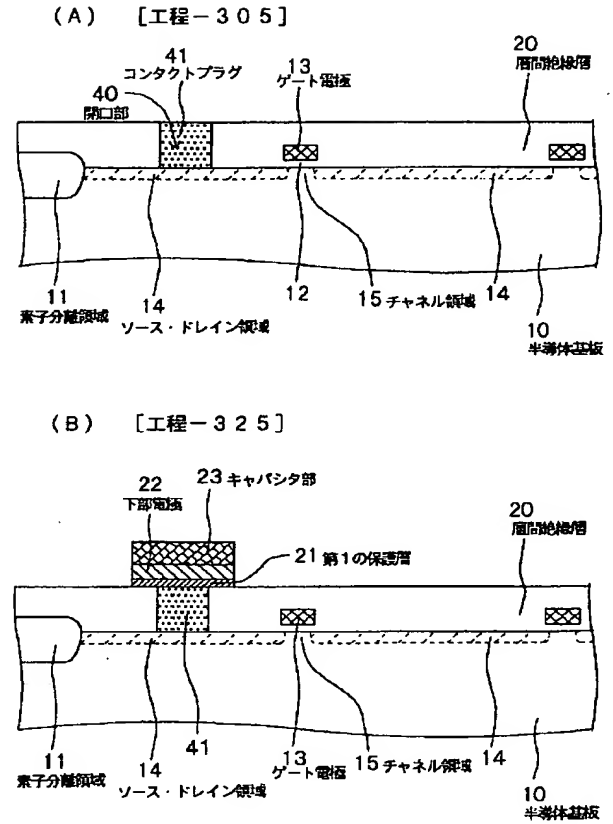
【図 7】



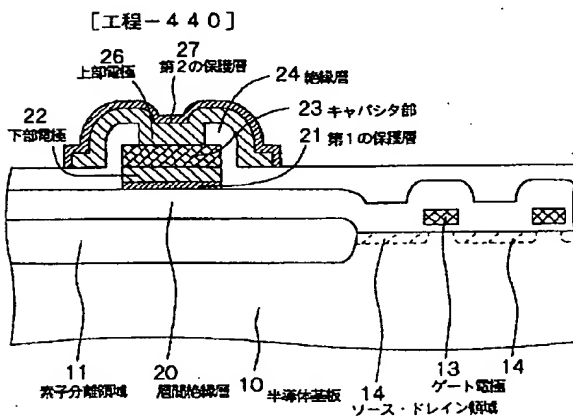
【図 5】



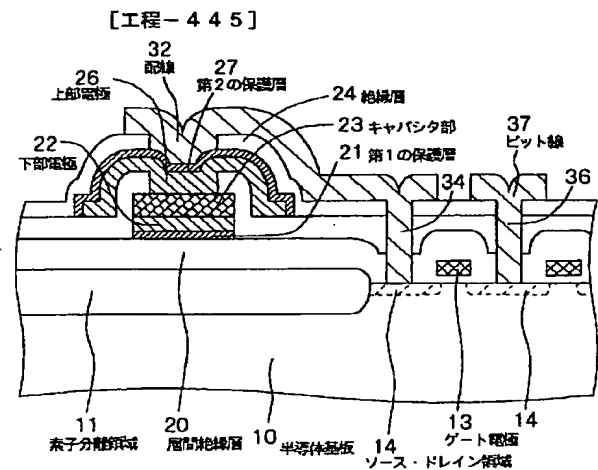
【図 8】



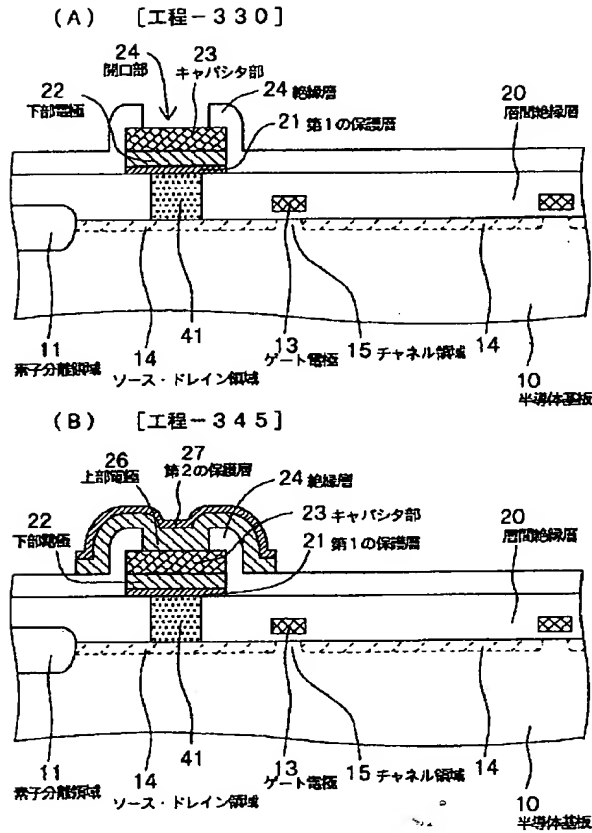
【図 11】



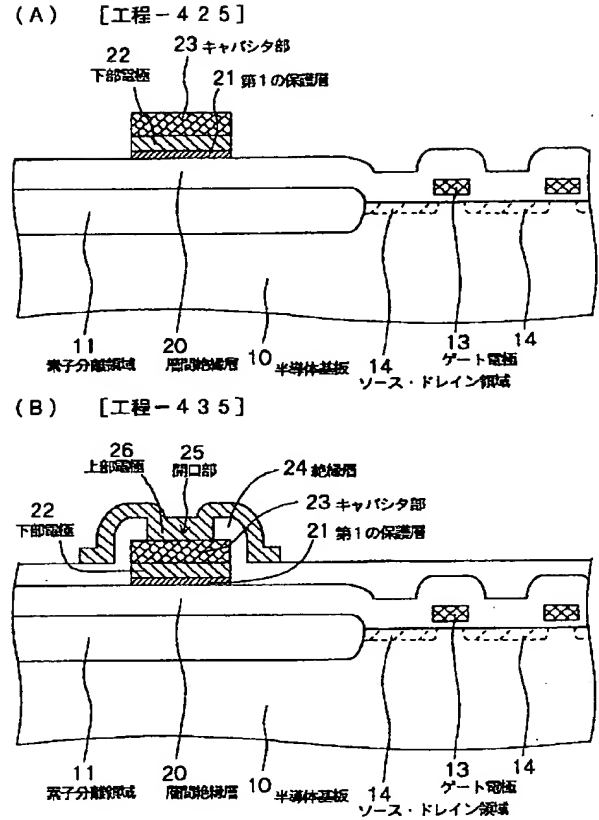
【図 12】



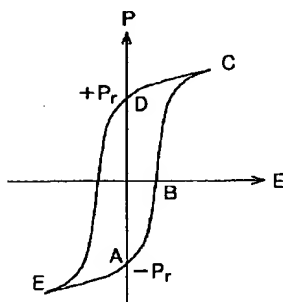
【図9】



【図10】



【図13】



【図15】

